

明細書

有機エレクトロルミネッセンス表示パネル

5 技術分野

本発明は、電流の注入によって発光するエレクトロルミネッセンスを呈する有機化合物材料からなる発光層を含む1以上の薄膜(以下、有機機能層という)を備えた有機エレクトロルミネッセンス素子(以下、有機EL素子という)に関し、特に、複数の有機EL素子が基板上に形成された有機エレクトロルミネッセンス表示パネル(以下、有機EL表示パネルという)に関する。

背景技術

有機EL素子は、発光層を含む有機機能層を表示電極である陽極及び陰極間に挟んだ形態で基本的に構成され、両電極から注入された電子と正孔の再結合時で生じた励起子が励起状態から基底状態に戻り光を生じさせる。例えば、図1に示すように、透明基板1上に、陽極の透明電極2と、有機機能層3と、陰極の金属電極4とが順次積層されて有機EL素子は構成され、透明基板側から発光を得る。発光を取り出すために、陽極、陰極の少なくとも何れかは、透明又は半透明である必要がある。有機機能層3は、例えば、図1に示すように、透明電極2側から積層された正孔注入層30/正孔輸送層31/発光層32/電子輸送層33など、それぞれの機能を持つ複数の層からなる。これら複数の層のうち、陽極に接する正孔注入層は陽極の一部やバッファ層として、陰極に接する電子注入層は陰極の一部やバッファ層として、扱われることもある。正孔注入層、正孔輸送層は正孔輸送性を有する材料からなり、電子輸送層、電子注入層は電子輸送性を有する材料からなる。これら発光層以外の電荷輸送層は、発光層に対する電荷の注入効率を高め、発光層単層からなる素子に比べて、

発光効率を大きく向上させる。実際の有機EL素子では電荷輸送層が無いタイプ、もしくは4層以上のタイプもある。更に、発光層も複数の層、例えば青色発光層／赤色発光層の2層からなる白色発光素子など、からなる場合がある。

このような複数の有機EL素子を用いて、カラー表示が可能な有機EL表示
5 パネルが提案されている。

例えば、多色発光層がパターンニングされた複数の発色領域と、正孔注入帯域又は電子注入帯域が多色発光層の全面にわたって形成された有機EL表示パネル構造が提案されている(特許文献1 参照)。

一方、特許文献1技術のように正孔注入層として導電性化合物を全面に形成
10 すると、電極間で漏電が生じてしまうという問題を指摘し、画素いわゆる有機EL素子間の漏電を防ぐために、電荷注入層／発光層を画素毎に独立して形成し、これらの層を形成する物質が画素間にまたがることの無いようにして、画素間における漏電を防止する有機EL表示パネル構造が提案されている(特許文献2 参照)。

15 漏電が生じないよう特許文献2技術のように画素毎に独立して電荷輸送層を形成する方法もあるが、特許文献1が指摘するように、電荷輸送層を画素毎に形成するのは、工程が複雑になり、また、不完全に電荷輸送層がパターンニングされると、陽極－陰極間のショートが生じてしまい有機EL表示パネルの信頼性が損なわれる、という問題があった。

20 【特許文献1】 特開2000-150152号公報。

【特許文献2】 特開平11-87062号公報。

発明の開示

そこで、本発明の解決しようとする課題には、導電性高分子など、比較的抵抗の低い導電性電荷輸送層を用いて、画素間の漏電の問題が無く、かつ、信頼
25 性の高い有機EL表示パネルを提供することが例として挙げられる。

請求項 1 記載の有機エレクトロルミネッセンス表示パネルは、各々が第 1 及び第 2 表示電極並びに前記第 1 及び第 2 表示電極間に挟持かつ積層された少なくとも 1 層の有機化合物からなる発光層を含む有機機能層からなる複数の有機エレクトロルミネッセンス素子と、前記複数の有機エレクトロルミネッセンス素子を担持する基板と、からなる有機エレクトロルミネッセンス表示パネルであって、前記有機機能層群は、前記複数の有機エレクトロルミネッセンス素子に共通して形成され電荷輸送性を有した少なくとも 1 層の共通層を含み、前記共通層は、前記複数の有機エレクトロルミネッセンス素子の間に延在する高抵抗のギャップ充填部を有することを特徴とする。

10 図面の簡単な説明

図 1 は有機 EL 素子を模式的に示す断面図である。

図 2 は有機 EL 表示パネルを模式的に示す部分断面図である。

図 3 は有機 EL 表示パネルを模式的に示す部分断面図である。

図 4 は有機 EL 表示パネルを模式的に示す部分断面図である。

15 図 5 は本発明による実施形態の有機 EL 表示パネルを模式的に示す部分断面図である。

図 6 は電流制御方式の階調駆動が適用された有機 EL 素子へのパルス電気信号を示す図である。

図 7 は電圧制御方式の階調駆動が適用された有機 EL 素子へのパルス電気信号を示す図である。

20 図 8 は本発明による他の実施形態のパッシブマトリクス型有機 EL 表示パネル製造工程における有機 EL 表示パネルの基板一部を模式的に示す部分平面図である。

25 図 9 は本発明による他の実施形態のアクティブマトリクス型有機 EL 表示パネル製造工程における有機 EL 表示パネルの基板一部を模式的に示す部分平面図

である。

図 10 は 本発明による他の実施形態のセグメント型有機 EL 表示パネル製造工程における有機 EL 表示パネルの基板一部を模式的に示す部分平面図である。

図 11 は 本発明による他の実施形態の有機 EL 表示パネルを模式的に示す部分断面図である。

発明を実施するための形態

本発明の実施形態を図面を参照しつつ説明する。

本発明は、画素いわゆる有機 EL 素子間の漏電を、駆動条件(駆動方法、駆動電圧、表示階調数)、電極の形状の新しい視点から定量的にとらえ直し、全く新しい考えを導入することにより成されたものである。

図 2～図 4 に、各々が第 1 及び第 2 電極間に積層された有機機能層からなる有機 EL 素子を備えた有機 EL 表示パネルの断面を示す。1 は基板を、12 は第 1 電極を、36 は第 1 電荷輸送層を、32 は発光層を、37 は第 2 電荷輸送層を、36a 及び 37a は抵抗の低い低抵抗電荷輸送層を、14 は第 2 電極を示す。図 2 のように低抵抗電荷輸送層 36a が第 1 電極 12 に接する位置にある場合に、画素間の漏電(矢印)は顕著となる。図 3 に示すように、低抵抗電荷輸送層 36a が電極に接しなくとも、発光層 32 及び第 1 電極 12 間にある場合は、各界面の接合状態にもよるが、漏電経路(矢印)が存在する。

図 4 のように、発光層 32 及び反対側の第 2 電極 14 電極間に低抵抗電荷輸送層がある場合は、大きな問題とはならない。図 4 に示した漏電経路のうち、第 2 電荷輸送層 37 から第 1 電荷輸送層 36 への部分が逆接合となり、抵抗が非常に高くなるので、漏電する電流量が微少になるからである。

導電性高分子など比較的抵抗が低い材料を正孔注入層などの電荷輸送層に用い、複数の画素にわたって形成すると、図 2～図 4 に示すように、画素間に延在する電荷輸送層のギャップ充填部 GF において漏電が生ずるが、駆動方法に

よって、生じる問題は異なる。

例えば、画素を定電圧駆動する場合、駆動回路の電流容量に十分な余裕があれば、漏電が生じて、画素に流れる電流は漏電がない正常な場合と同じになるので、画素の輝度は正常な画素の場合と同等となる。しかし、漏電により隣接する画素の電極に、発光に寄与しない余分な電流が流れ込み、消費電力を増大させる。

一方、画素を定電流駆動する場合、漏電が生じると、画素に流すべき電流が、漏電により隣接する画素の電極に流れ込み、正常な場合に比べ漏電した分その素子に流れる電流が減り、輝度が低くなる。特に、階調表示を行う場合、ある階調 n で表示すべき画素の輝度が低くなり、 $(n-1)$ 階調の正常な画素よりも暗くなると、階調の単調増加性が損なわれ、正確な階調表現ができなくなってしまう。定電圧駆動において駆動回路の電流容量が十分でない場合は、定電流駆動と同様に正確な階調表現ができなくなる。

そこで、本発明では、駆動条件や階調表現に着目し、導電性電荷輸送層による漏れ電流によって、階調表現が逆転しないように、導電性電荷輸送層、特に画素間に延在するそのギャップ充填部 $G F$ のシート抵抗を適正化している。

また、本発明では、導電性電荷輸送層による漏れ電流によって、消費電力が大幅に増大しないように、導電性電荷輸送層のシート抵抗を適正化している。

漏れ電流は、隣接する画素の電極間にある導電性電荷輸送層を通して流れるので、画素間にある導電性電荷輸送層(ギャップ充填部 $G F$)の抵抗 R_{gap} によって、漏れ電流の大きさが決まる。

図 5 に本発明による有機 EL 素子の構造例を示す。1 は基板を、12 は第 1 電極を、38 及び 39 はベタ形成電荷輸送層を、32 は発光層を、37 は第 2 電荷輸送層を、14 は第 2 電極を、 $G F$ はギャップ充填部を示す。

第 1 電荷輸送層に相当するベタ形成電荷輸送層 38 及び 39 が複数の第 1 電極にわたって形成されている。これら 2 つのベタ形成電荷輸送層を合わせたシ

シート抵抗 ρs_ctl は、ベタ形成電荷輸送層 38 及び 39 のシート抵抗 ρs_ctl1 及び ρs_ctl2 の並列和で表され、次式となる。

$$1/\rho s_ctl = 1/\rho s_ctl1 + 1/\rho s_ctl2 \quad \text{式(1)}$$

ベタ形成される電荷輸送層が 3 層以上になる時は同様に並列和を取ればよい
5 し、ベタ形成される電荷輸送層が単層の場合はそのシート抵抗を ρs_ctl とすればよい。また、 ρs_ctl1 と ρs_ctl2 の値が大きく違う場合、例えば 100 倍以上の差があり、 $\rho s_ctl1 > 100 \cdot \rho s_ctl2$ である場合は、 $\rho s_ctl = \rho s_ctl2$ として計算して、差し支えない。また、電荷輸送層がベタ形成されるので、画素間に延在するそのギャップ充填部のシート抵抗も一様である。

10 隣接する他の画素との抵抗 R_gap は、次式として求められる。

$$R_gap = a \cdot \rho s_ctl \quad \text{式(2)}$$

(ただし、 R_gap は隣接する画素間のギャップ充填部の抵抗を、 a はギャップ充填部の形状から求められる係数をそれぞれ示す)

実際の第 1 及び第 2 電極で画定される発光部の形状は複雑であり、 a の値は
15 単純には決まらず、個々の画素又は電極形状に合わせてギャップ充填部の抵抗 R_gap を計算する必要がある(後述)。

一般に、有機 EL 素子の発光輝度は画像データに応じた表示階調を得るために制御されるが、実際の駆動は大きく分けて図 6 及び図 7 に示すようにパルス状の電気信号を素子に与えることにより行われる。輝度制御には、図 6(A)(B)のような素子への駆動電流を制御する電流制御方式(定電流駆動)と図 7(A)(B)のような駆動電圧を制御する電圧制御方式(定電圧駆動)とがある。具体的には図 6(B)、図 7(B)に示すように、輝度データに応じて駆動電流量、駆動電圧を変化させることによって素子の輝度を変化させることが行われる。一方、図 6(A)、図 7(A)に示すように、駆動電流、駆動電圧を一定レベルとし輝度データに応じて電流供給時間、電圧供給時間を変化させることによって素子の輝度を変化させることも可能である。
25

以下、画素の駆動を、(1)定電流駆動で行う場合と、(2)定電圧駆動で行う場合に分けて、本発明を説明する。

(1)画素の駆動を定電流駆動で行う場合――

定電流駆動は、輝度に応じた一定の電流を画素に流すことにより、素子を駆動する駆動方法である。定電流駆動では、漏電によって、画素に流れる電流が少なくなり、画素の輝度が低下する。更に、画素に流れる電流が少なくなるので、漏電がない場合に比べ、画素の駆動電圧が小さくなる。

よって、漏電がある画素と漏電がなくほぼ正常な画素とが隣接する場合で共にオン状態で発光するとき、人間の目では隣接する画素間の輝度差には敏感であり、漏電画素の輝度が低下し、一定以上の輝度差では表示品質の劣化を感じてしまう。

(1-1)隣接画素輝度差――

表示装置において、隣接画素間の輝度差を感じさせない画素の漏電とシート抵抗に関して考察する。漏電が生じて輝度が低下した画素が、隣接の正常な画素の輝度とほぼ同様に光らなければならない。漏電画素の輝度は、漏電のない正常な画素の輝度に対して、観察者が変化ありと認識できない隣接画素の輝度の割合以下である必要がある。つまり、次式を満たす必要がある。

$$L_{ng} \geq f \cdot L \quad (0 < f < 1) \quad \text{式(3)}$$

(ただし、 L は正常な漏電のない画素の輝度を、 L_{ng} は漏電が生じている画素の輝度を、 f は人間が変化ありと認識できる隣接画素の輝度の割合を、それぞれ示す。)

有機EL素子では、閾印加電圧を越えると、素子を流れる電流と発光輝度は比例する。また、画素の平均輝度は素子が実際に発光している時間に比例する。簡単のため、矩形波で素子を駆動する場合を考えると、漏電の有無にかかわらず、画素の輝度 L は次式で示される。

$$L = \alpha \cdot I \cdot t \quad \text{式(4)}$$

(ただし、 α は発光効率を、 I は画素に供給される電流を、 t は画素の発光時間を、それぞれ示す。)

よって、式(4)より、式(3)は次式のように導かれる。

$$\alpha \cdot I_{ng} \cdot t \geq \alpha \cdot f \cdot I \cdot t$$

5 $\therefore I_{ng} \geq f \cdot I$ 式(5)

(ただし、 I_{ng} は漏電が生じている画素に流れる電流を示す。)

一方、漏電が生じている画素からギャップ充填部を通して隣接画素へ流れる電流量を I_{leak} とすると、 $I_{leak} = I - I_{ng}$ なので、式(5)から漏れ電流量は次式のように導かれる。

10 $I_{leak} \leq (1 - f) \cdot I$ 式(6)

ここで、人間が輝度変化ありと認識できる隣接画素の輝度差の割合を j とすると、 $j = 1 - f$ なので、漏れ電流量は次式のようになる。

$$I_{leak} \leq j \cdot I$$
 式(7)

隣接画素間の輝度差が人間の目にわからないようにするためには、漏れ電流量は式(7)を満たす必要がある。

ある画素における漏れ電流量 I_{leak} は、その画素とギャップ充填部を介して隣接する画素の全てがオフ状態で、最も大きくなる。この時、 I_{leak} と電荷輸送層のシート抵抗 ρs_{ctl} との関係は、次式のようになる。

$$I_{leak} \cdot R_{gap} = V_{on_ng} - V_{off}$$
 式(8)

20 $R_{gap} = a \cdot \rho s_{ctl}$ 式(9)

(ただし、 R_{gap} は隣接する他の画素間のギャップ充填部の抵抗を、 V_{on_ng} はオン状態で漏電が生じている漏電画素の第1電極電位(第1電極が単純マトリクスの走査電極である場合は走査オン状態の電位)を、 V_{off} は漏電画素に隣接する画素のオフ状態の第1電極電位(第1電極が単純マトリクスの走査電極である場合は走査オフ状態の電位)を、 ρs_{ctl} は第1電極側にベタ形成した電荷輸送層のシート抵抗を、 a はギャップ充填部の形状から求められる係数を、それ

25

ぞれ示す。)

I_{leak} がそれほど大きくない時、オン状態の漏電画素の第1電極電位 V_{on_ng} が漏電画素に隣接する画素のオン状態の第1電極電位と略等しいので、式(8)、式(9)から、隣接画素間の電荷輸送層のシート抵抗は次式のように導かれる。

$$5 \quad \rho s_ctl = (V_{on} - V_{off}) / (I_{leak} \cdot a) \quad \text{式(10)}$$

(ただし、 V_{on} は漏電画素に隣接する画素のオン状態の第1電極電位をそれぞれ示す。)

式(10)からわかるように、漏れ電流量 I_{leak} はベタ形成した電荷輸送層のシート抵抗 ρs_ctl が大きいほど小さくなる。つまり、 I_{leak} が上限となる時、

10 ρs_ctl は下限値を取る。よって、式(6)、式(10)から、 I_{leak} の許容値の上限 I_{leak_max} と、ベタ形成した電荷輸送層のシート抵抗 ρs_ctl の下限 ρs_ctl_min を決めることができる。具体的には、式(7)及び式(10)より、下限 ρs_ctl_min は、次式のように導かれる。

$$\rho s_ctl_min = (V_{on} - V_{off}) / (j \cdot I \cdot a) \quad \text{式(11)}$$

15 よって、本発明による有機EL素子は、ベタ形成した電荷輸送層のシート抵抗 ρs_ctl をこうして求めた ρs_ctl_min よりも大きくする。

人間が変化ありと認識できる隣接画素の輝度の割合 j の値は、表示装置の用途、観察者により異なる。 j の値はどの程度になるか、以下の実験により求めた。実験結果より、 j の値は好ましくは0.08以下、さらに好ましくは0.

20 05以下が望ましいことがわかった。この j の値と式(11)から、ベタ形成した電荷輸送層のシート抵抗 ρs_ctl の下限 ρs_ctl_min 、を決めることができる。

{隣接画素の輝度差の実験}

人間が変化ありと認識できる隣接画素の輝度差の割合 j の値についての実験を行った。

25 緑色単色の256×64ドット有機ELパネルの、左半分を輝度100cd/m²で発光させ、右半分は輝度を100cd/m²から徐々に落として被験者2

6名に見せた。輝度の変化が認識できた時点で被験者に合図をしてもらい、その時の右半分の輝度を記録、どの程度の輝度差の割合が人間にわかるか調べた。

例えば、右半分の輝度が 97 cd/m^2 の時に被験者が輝度変化の合図した場合、その被験者が認識できた輝度差いわゆる輝度差係数は、 $3\% (j = 0.03)$

5 ということになる。

表1に、被験者が認識した輝度差と人数を表す。ほぼ輝度差 $5\% (j = 0.05)$ で半数の人が、輝度差 $8\% (j = 0.08)$ では全員が、輝度差を認識することが分かった。

【表1】

被験者が 認識した 輝度差(%)	認識し た 人数 (人)	累計 人数 (人)	累計 人数 割合(%)
1	2	2	7.7
2	0	2	7.7
3	1	3	11.5
4	5	8	30.8
5	6	14	53.8
6	9	23	88.5
7	1	24	92.3
8	2	26	100

10

(1-2)隣接画素輝度と階調――

表示装置において、発光部の最大輝度及び最小輝度の間を所定レベルで分割して輝度階調として、例えば、24階調なら $1/24$ 、32階調なら $1/32$ などの複数の輝度レベルを分けて表示する場合がある。階調表示において或る

15 レベル以上の漏電画素があると、隣接画素間の輝度差が認識され階調と輝度の

逆転が起る。階調と輝度の逆転防止ためには、漏電が生じて輝度が低下した画素が、所望の階調よりも一つ下の階調における正常な画素の輝度よりも明るく光らなければならない。つまり、或る階調において、次式を満たす必要がある。

$$L_{ng}(n) > L(n-1) \quad \text{式(14)}$$

- 5 (ただし、 $L(m)$ は正常な(漏電のない)画素の階調 m における輝度を、 $L_{ng}(m)$ は漏電が生じている画素の階調 m における輝度をそれぞれ示す。)

有機EL素子では、素子を流れる電流と、発光輝度は比例する。また、画素の平均輝度は素子が実際に発光している時間に比例する。簡単のため、矩形波で素子を駆動する場合を考えると、漏電の有無にかかわらず、

10 $L(m) = \alpha \cdot I(m) \cdot t(m) \quad \text{式(15)}$

(ただし、 $I(m)$ は階調 m における画素に供給される電流を、 $t(m)$ は階調 m における画素の発光時間を、それぞれ示す。)

式(14)と式(15)より、次式が得られる。

$$L_{ng}(n) \cdot t(n) > I(n-1) \cdot t(n-1) \quad \text{式(16)}$$

- 15 漏電による電流量を I_{leak} とすると、次式が得られる。

$$L_{ng}(n) = I(n) - I_{leak}(n) \quad \text{式(17)}$$

(ただし、 $I_{leak}(n)$ は階調 n の画素における漏電によりギャップ充填部を通して隣接画素へ流れてしまう電流を示す。)

式(16)と式(17)より、次式が得られる。

20 $I_{leak}(n) \cdot t(n) < I(n) \cdot t(n) - I(n-1) \cdot t(n-1) \quad \text{式(18)}$

よって、全ての階調 n で、式(18)を満たす必要がある。

ある画素における漏れ電流量 $I_{leak}(n)$ は、その画素とギャップ充填部を介して隣接する画素の全てがオフ状態の時、最も大きくなる。この時、 I_{leak} と電荷輸送層のシート抵抗 ρs_{ctl} との関係は、次式で表される。

25 $I_{leak}(n) \cdot R_{gap} = V_{on_ng}(n) - V_{off} \quad \text{式(19)}$

$$R_{gap} = a \cdot \rho s_{ctl} \quad \text{式(20)}$$

(ただし、 R_{gap} は隣接する他の画素との間の抵抗、 $V_{on_ng}(n)$ はオン状態、階調 n の時、漏電が生じている画素の第1電極電位($n \geq 1$)(第1電極が単純マトリクスの走査電極である場合は、走査オン状態の電位)を、 V_{off} は隣接する画素のオフ状態、第1電極電位(一般に、最低階調時の第1電極電位 $V_{on}(0)$ に等しい。ただし、第1電極が単純マトリクスの走査電極である場合は、走査オフ状態の電位)を、 ρs_ctl は第1電極側にベタ形成した電荷輸送層のシート抵抗を、 a はギャップ充填部の形状から求められる係数を、それぞれ示す。)

式(19)、式(20)から、次式が得られる。

$$\rho s_ctl = (V_{on_ng}(n) - V_{off}) / (I_{leak}(n) \cdot a) \quad \text{式(21)}$$

10 式(21)からわかるように、漏れ電流量 $I_{leak}(n)$ はベタ形成した電荷輸送層のシート抵抗 ρs_ctl が大きいほど小さくなる。つまり、 I_{leak} が上限となる時、 ρs_ctl は下限値を取る。よって、式(18)、式(21)から、 $I_{leak}(n)$ の許容値の上限 I_{leak_max} と、ベタ形成した電荷輸送層のシート抵抗 ρs_ctl の下限 ρs_ctl_min 、を決めることができる。

15 本発明による有機EL表示パネルは、ベタ形成した電荷輸送層のシート抵抗 ρs_ctl を、上記の人間が輝度変化ありと認識できる隣接画素の輝度差の割合 j の値に基づいて ρs_ctl_min よりも大きくする。

以下、更に具体的な階調表現方法の例を挙げて、本発明を更に詳しく説明する。

20 階調 m と輝度の設定により、輝度 $L(m)$ は決定される。例えば、 $m = 0 \sim (K-1)$ の階調数 K の駆動方法において、最大階調の時の輝度 $L(K-1)$ であり、最小階調の時の輝度 $L(0)$ をゼロとして、その間の中間階調は階調と輝度を比例させる。つまり、階調をリニアに取るという一般的な設定において、輝度 $L(m)$ は次式のように表される。

$$25 \quad L(m) = m \cdot L(K-1) / (K-1) \quad \text{式(22)}$$

(ただし、 $L(K-1)$ は階調 m における階調数 $K-1$ の輝度を示す。)

また、式(15)から $m=K-1$ では次式のように表される。

$$L(K-1) = \alpha \cdot I(K-1) \cdot t(K-1) \quad \text{式(23)}$$

(ただし、 $I(K-1)$ は階調 m における階調数 $K-1$ の画素に流れる電流を、 $t(K-1)$ は階調 m における階調数 $K-1$ の画素の発光時間を、それぞれ示す。)

5 式(22)、式(23)から、次式が得られる。

$$L(m) = m \cdot \alpha \cdot I(K-1) \cdot t(K-1) / (K-1) \quad \text{式(24)}$$

式(15)と式(24)の右辺同士を等しいとすると、次式が得られる。

$$I(m) \cdot t(m) = m \cdot I(K-1) \cdot t(K-1) / (K-1) \quad \text{式(25)}$$

式(25)から式(18)の右辺は次式のように表される。

$$\begin{aligned} 10 \quad I(n) \cdot t(n) - I(n-1) \cdot t(n-1) \\ = n \cdot I(K-1) \cdot t(K-1) / (K-1) - (n-1) \cdot I(K-1) \cdot t(K-1) / (K-1) \\ = I(K-1) \cdot t(K-1) / (K-1) \quad \text{式(26)} \end{aligned}$$

よって、式(18)は次式のように表される。

$$I_{\text{leak}}(n) \cdot t(n) < I(K-1) \cdot t(K-1) / (K-1) \quad \text{式(27)}$$

15 式(21)、式(27)を満たす I_{leak} の上限 $I_{\text{leak_max}}$ と、ベタ形成した電荷輸送層のシート抵抗 ρ_{s_ctl} の下限 $\rho_{s_ctl_min}$ と、を求める。

ここで、階調表現を、(a)パルス幅変調で行う場合(電流を流す時間の長さによって階調表現する)と、(b)パルス振幅変調で行う場合(流す電流の大きさによって階調表現する)、に分けて考える。

20 (1 a)パルス幅変調で行う場合――

パルス幅変調は、パルスの振幅(=電流)を一定にして、パルスの長さ(=電流を印加する時間)によって、階調表現を行う。つまり、次式のように表される。

$$I(m) = I_{\text{const}} \quad \text{式(28)}$$

(ただし、 I_{const} は一定の駆動電流を示す。)

25 式(25)、式(28)から、次式が得られる。

$$t(m) = m \cdot t(K-1) / (K-1) \quad \text{式(29)}$$

式(27)、式(28)、式(29)より、次式が得られる。

$$I_{\text{leak}}(n) < I_{\text{const}} / n \quad \text{式(30)}$$

式(30)から $I_{\text{leak}}(n)$ が上限となるのは、 n が最大、つまり $n = K-1$ の時で、次式のように表される。

$$5 \quad I_{\text{leak_max}} = I_{\text{leak}}(K-1) = I_{\text{const}} / (K-1) \quad \text{式(31)}$$

式(21)、式(28)、式(31)より、次式が得られる。

$$\rho s_{\text{ctl_min}} = (V_{\text{on_ng}}(K-1) - V_{\text{off}}) \cdot (K-1) / (I_{\text{const}} \cdot a) \quad \text{式(32)}$$

$V_{\text{on_ng}}(m)$ の値は、漏れ電流量から決まる、つまり ρs_{ctl} によって決まるので、式(32)から $\rho s_{\text{ctl_min}}$ を簡単に決めることはできない。しかし、漏電がない場合の画素の第1電極駆動電圧 $V_{\text{on}}(m)$ は、素子特性から求まる。前述した通り、定電流駆動では漏電がない場合に比べ、漏電がある画素の駆動電圧は低くなるので、第1電極駆動電圧 $V_{\text{on}}(m)$ は次式のように表される。

$$V_{\text{on}}(m) > V_{\text{on_ng}}(m) \quad \text{式(33)}$$

(ただし、 $V_{\text{on}}(n)$ はオン状態、階調 n の時、漏電のない画素の第1電極電位($n \geq 1$) (第1電極が単純マトリクスの走査電極である場合は、走査オン状態の電圧)を示す。)

式(32)で $V_{\text{on_ng}}(m)$ の代わりに $V_{\text{on}}(m)$ とおくと、 $\rho s_{\text{ctl_min}}$ の値は大きくなる、つまり、 ρs_{ctl} の下限が大きくなり条件は厳しくなるので、次式のように表される。

$$20 \quad \rho s_{\text{ctl_min}} = (V_{\text{on}}(K-1) - V_{\text{off}}) \cdot (K-1) / (I_{\text{const}} \cdot a) \quad \text{式(34)}$$

この式から $\rho s_{\text{ctl_min}}$ を求め、 ρs_{ctl} の値をこの値以上にすれば、差し支えない。

(1b) パルス振幅変調で行う場合――

パルス振幅変調は、パルスのパルスの長さ(=電流を印加する時間)を一定にして、振幅(=電流)によって、階調表現を行う。つまり、

$$25 \quad t(m) = t_{\text{const}} \quad \text{式(35)}$$

(ただし、 t_{const} は一定の駆動時間を示す。)

式(25)、式(35)から、次式が得られる。

$$I(m) = m \cdot I(K-1) / (K-1) \quad \text{式(36)}$$

式(27)、式(35)、式(36)より、次式が得られる。

$$5 \quad I_{\text{leak}}(n) < I(K-1) / (K-1) \quad \text{式(37)}$$

式(21)、式(37)より、次式が得られる。

$$(V_{\text{on_ng}}(n) - V_{\text{off}}) / (\rho s_{\text{ctl}} \cdot a) < I(K-1) / (K-1) \quad \text{式(38)}$$

$$\therefore \rho s_{\text{ctl}} > (V_{\text{on_ng}}(n) - V_{\text{off}}) \cdot (K-1) / (a \cdot I(K-1)) \quad \text{式(39)}$$

式(39)で成立するうち最も条件が厳しい、つまり ρs_{ctl} の値が最も大きく

- 10 なくてはならないのは、 $V_{\text{on_ng}}(n)$ が最大、つまり $n = k-1$ の時で、この時、式(39)を等式にして、次式が得られる。

$$\rho s_{\text{ctl_min}} = (V_{\text{on_ng}}(k-1) - V_{\text{off}}) \cdot (K-1) / (a \cdot I(K-1)) \quad \text{式(40)}$$

前述したのと同様、式(40)で $V_{\text{on_ng}}(m)$ の代わりに $V_{\text{on}}(m)$ とおくと、

$\rho s_{\text{ctl_min}}$ の値は大きくなる、つまり、 ρs_{ctl} の下限が大きくなり条件は厳

- 15 しくなるので、

$$\rho s_{\text{ctl_min}} = (V_{\text{on}}(K-1) - V_{\text{off}}) \cdot (K-1) / (a \cdot I(K-1)) \quad \text{式(41)}$$

として $\rho s_{\text{ctl_min}}$ を求め、 ρs_{ctl} の値をこの値以上にすれば、差し支えない。

(2)画素の駆動を定電圧駆動で行う場合――

定電圧駆動は、輝度に応じた一定の電圧を画素に印加することにより、素子

- 20 を駆動する駆動方法である。

定電流駆動では、駆動回路の電流容量が十分であれば、漏電によって、画素に流れる電流が少なくならず、画素の輝度は保たれる。つまり、漏電が生じても、画素の駆動電圧は影響を受けない。つまり、

$$V_{\text{on_ng}}(m) = V_{\text{on}}(m) \quad \text{式(50)}$$

- 25 一方、定電圧駆動では、漏電によって電流量が増え、その分消費電力が増えてしまう。

消費電力の増加を抑えるためには、素子に流れる電流に対して漏れ電流量を、好ましくは $1/10$ 以下、さらに好ましくは $1/100$ 以下に抑えるのが望ましい。つまり、

$$I_{\text{leak}}(n) = b \cdot I(n) \quad \text{式(51)}$$

- 5 とした場合、 b の値が、好ましくは $1/10$ 以下、さらに好ましくは $1/100$ 以下となるのが望ましい。式(21)を変形して、次式が得られる。

$$I_{\text{leak}}(n) = (V_{\text{on_ng}}(n) - V_{\text{off}}) / (\rho s_{\text{ctl}} \cdot a) \quad \text{式(52)}$$

式(50)、式(51)、式(52)より、次式が得られる。

$$b = (V_{\text{on}}(n) - V_{\text{off}}) / (I(n) \cdot \rho s_{\text{ctl}} \cdot a) \quad \text{式(53)}$$

- 10 全ての n について、式(53)から求まる b の値を、好ましくは $1/10$ 以下、さらに好ましくは $1/100$ 以下となるのが望ましい。式(52)で $b = 1/10$ とした時のベタ形成した電荷輸送層のシート抵抗 ρs_{ctl} の下限 $\rho s_{\text{ctl_min10}}$ と、 $b = 1/100$ とした時の ρs_{ctl} の下限 $\rho s_{\text{ctl_min100}}$ と、を求める。
本発明では、 ρs_{ctl} を好ましくは $\rho s_{\text{ctl_min10}}$ 以上、更に好ましくは $\rho s_{\text{ctl_min100}}$ 以上にする。
- 15

ここで、階調表現を、(a)パルス幅変調で行う場合(電流を流す時間の長さによって階調表現する)と、(b)パルス振幅変調で行う場合(流す電流の大きさによって階調表現する)、に分けて考える。

(2a)パルス幅変調で行う場合――

- 20 パルス幅変調は、パルスの振幅(=電圧)を一定にして、パルスの長さ(=電圧を印加する時間)によって、階調表現を行う。電圧が一定であれば、画素に流れる電流 $I(m)$ も一定になる。つまり、次式で表される。

$$V_{\text{on}}(m) = V_{\text{const}} \quad \text{式(54)}$$

$$I(m) = I_{\text{const}} \quad \text{式(55)}$$

- 25 (ただし、 V_{const} は一定の駆動電圧を、 I_{const} は電圧が V_{const} の時に画素に流れる電流(階調によらない)を示す。)

式(53)、式(54)、式(55)より、次式が得られる。

$$b = (V_{\text{const}} - V_{\text{off}}) / (I_{\text{const}} \cdot \rho s_{\text{ctl}} \cdot a) \quad \text{式(56)}$$

式(56)を変形して、次式が得られる。

$$\rho s_{\text{ctl}} = (V_{\text{const}} - V_{\text{off}}) / (b \cdot a \cdot I_{\text{const}}) \quad \text{式(57)}$$

- 5 式(57)において、 $b = 1/10$ 、 $1/100$ として、次式が得られる。

$$\rho s_{\text{ctl}10} = 10 \cdot (V_{\text{const}} - V_{\text{off}}) / (I_{\text{const}} \cdot a) \quad \text{式(58)}$$

$$\rho s_{\text{ctl}100} = 100 \cdot (V_{\text{const}} - V_{\text{off}}) / (I_{\text{const}} \cdot a) \quad \text{式(59)}$$

これら式より、 $\rho s_{\text{ctl_min}10}$ 、 $\rho s_{\text{ctl_min}100}$ を求めることができる。

(2b)パルス振幅変調で行う場合――

- 10 パルス振幅変調は、パルスのパルスの長さ(=電圧を印加する時間)を一定にして、振幅(=電圧)によって、階調表現を行う。つまり、次式で表される。

$$t(m) = t_{\text{const}} \quad \text{式(60)}$$

(ただし、 t_{const} は一定の駆動時間を示す。)

式(53)より、次式が得られる。

$$15 \quad \rho s_{\text{ctl}} = (V_{\text{const}} - V_{\text{off}}) / (b \cdot a \cdot I(n)) \quad \text{式(61)}$$

式(61)は式(60)により特に変化を受けない。有機EL素子はダイオードのような特性を持つので、電圧の増加に従って、電流が指数関数的に増加する。

つまり、 n が小さいほど、 $V_{\text{on}}(n) / I(n)$ の値は大きくなる。更に、 n が小さいほど、 $V_{\text{off}} / I(n)$ の値も大きくなるので、式(61)から条件が最も厳しい、

- 20 つまり b が最大となるのは、 n が最小、 $n=1$ の時、この時、 $b = 1/10$ 、 $1/100$ として、次式が得られる。

$$\rho s_{\text{ctl}10} = 10 \cdot (V_{\text{on}}(1) - V_{\text{off}}) / (I(1) \cdot a) \quad \text{式(62)}$$

$$\rho s_{\text{ctl}100} = 100 \cdot (V_{\text{on}}(1) - V_{\text{off}}) / (I(1) \cdot a) \quad \text{式(63)}$$

これら式より、 $\rho s_{\text{ctl_min}10}$ 、 $\rho s_{\text{ctl_min}100}$ を求めることができる。

- 25 なお、何れの駆動法の場合も、電荷輸送層の抵抗が大きすぎると素子の駆動電圧が高くなり、素子特性が悪化してしまうので、特開平10-92584に

ある通り、電荷輸送層のシート抵抗は、 $10^{16} \Omega/\square$ より、好ましくは $10^{15} \Omega/\square$ より、特に好ましくは $10^{14} \Omega/\square$ より小さいことが望ましい。

本発明による有機EL素子に用いられる電極、有機機能層には既知の材料を用いることができる。特に導電性を有する電荷輸送層には、例えば、金属酸化物、

- 5 金属窒化物、導電性高分子、などを用いることができる。これらの材料を本発明に適用させるためには、シート抵抗をコントロールする必要がある。シート抵抗をコントロールするためには、膜厚を制御するのが最も簡便な方法である。また、比抵抗をコントロールする方法もある。具体的には、金属酸化物中の酸素量を変化させたり、金属窒化物中の窒素の量を変化させたり、ドーパントに
- 10 より導電性を付与するタイプの導電性高分子では、ドーパントの量を変化させたり、することで、シート抵抗を制御できる。

{実施例及び比較例}

以下のような手順で、本発明による発光ディスプレイパネルを作製した。

(1)第1電極(陽極)の形成――

- 15 ガラス基板上にITOを150nmスパッタ法により成膜した。次に東京応化製フォトリソレジストAZ6112をITO膜上にパターン形成した。この基板を塩化第2鉄水溶液と塩酸の混合液中に浸漬し、レジストに覆われていない部分のITOをエッチングした。最後に基板をアセトン中に浸漬しレジストを除去、ライン数480本からなるストライプ状の電極パターンを得た。ストライ
- 20 プ状のITOパターンは、ライン幅120 μm 、ギャップwは10 μm 、(ピッチ130 μm)であった。また、ITOラインの表示部における長さlは46.8mmであった。

(2)導電性電荷輸送層の形成――

- (1)の基板を十分洗浄した後、日産化学工業(株)製のポリアニリン溶液をスピ
- 25 ンコートした。続いてスピンコートした膜について、表示部以外の不要部分をアセトンで拭き取った。更に、4つの条件(サンプルA～D)で基板をホットプ

レートにて加熱、溶媒を蒸発させて、表示部に20nmのポリアニリン膜を形成した。サンプルA～Dの加熱条件を表2に示す。

表2

サンプル	加熱条件		シート抵抗 (Ω/\square)
	温度 ($^{\circ}\text{C}$)	時間 (min)	
A	200	15	8.0E+09
B		30	5.4E+09
C		60	4.0E+08
D		240	1.2E+11

- 5 形成したポリアニリン膜について、シート抵抗を三菱化学製MCP-HT260により測定した。測定結果をも表2に示す。

加熱条件によりポリアニリン膜のシート抵抗が変化した。これは、膜の酸化状態が、加熱状態によって異なるためであると考えられる。

(3)他の有機機能層、第2電極(陰極)の形成――

- 10 (2)の基板の上に、導電性電荷輸送層以外の有機機能層として α -NPDを25nm、Alq3を60nm、マスクを用いた蒸着法により表示部に形成した。更に陰極として、Al-Li合金を100nm、ライン幅250 μm 、ギャップ140 μm 、(ピッチ390 μm)のストライプ120本である形状のマスクを用いた蒸着法により形成した。

- 15 形成した α -NPD膜のシート抵抗を、(1)と同様に測定したところ、抵抗が大きすぎて測定不可能であった。測定器の測定範囲から、 α -NPD膜のシート抵抗は $1 \times 10^{15} \Omega/\square$ 以上と考えられる。

(4)封止――

- 20 凹みを設け、その凹み部分に乾燥剤を貼り付けたガラス板を、(3)の基板にUV硬化型接着剤を用いて接着し封止、本発明により、480 \times 120画素の単純マトリクスからなる有機EL素子を完成させた。

(5)駆動回路の接続及び調整――

- (4)の素子を、所望の駆動回路に接続し、オン状態の最大階調における画素の輝度 $L_{(K-1)}$ が、 100 cd/m^2 となるように駆動回路を調整した。この時、画素について、陽極に印加する電圧 $V_{\text{on}}(K-1)$ は 10.5 V 、オフ状態の陽極に印加する電圧 V_{off} は 3.5 V 、オン状態で素子の陰極側にかかる電圧は $0 \text{ V}(\text{GND})$ であった。階調数 K を 256 、 64 、 16 、 2 とし、階調をリニアに設定した時、種々の駆動方法で素子を発光させると、表3のような駆動電圧と駆動電流となった。

表 3 A

階調 K	駆動方法	変調方法	駆動電圧			
			V_{off} (V)	V_{on} (V)	$V_{\text{on}}(K-1)$ (V)	V_{const} (V)
256	定電流	パルス幅	3.50	—	10.50	—
256		振幅	3.50	—	10.50	—
256	定電圧	パルス幅	3.50	—	—	10.50
256		振幅	3.50	4.50	—	—
64	定電流	パルス幅	3.50	—	10.50	—
64		振幅	3.50	—	10.50	—
64	定電圧	パルス幅	3.50	—	—	10.50
64		振幅	3.50	5.10	—	—
16	定電流	パルス幅	3.50	—	10.50	—
16		振幅	3.50	—	10.50	—
16	定電圧	パルス幅	3.50	—	—	10.50
16		振幅	3.50	6.20	—	—
4	定電流	パルス幅	3.50	—	10.50	—
4		振幅	3.50	—	10.50	—
4	定電圧	パルス幅	3.50	—	—	10.50
4		振幅	3.50	8.30	—	—

10 表 3 B

階調 K	駆動方法	変調方法	駆動電流		
			I _L (1) (A)	I _L (K-1) (A)	I _{const} (A)
256	定電流	パルス幅	-	-	7.40E-05
256		振幅	2.90E-07	7.40E-05	-
256	定電圧	パルス幅	7.40E-05	-	-
256		振幅	2.90E-07	-	-
64	定電流	パルス幅	-	-	7.40E-05
64		振幅	1.17E-06	7.40E-05	-
64	定電圧	パルス幅	7.40E-05	-	-
64		振幅	1.17E-06	-	-
16	定電流	パルス幅	-	-	7.40E-05
16		振幅	4.93E-06	7.40E-05	-
16	定電圧	パルス幅	7.40E-05	-	-
16		振幅	4.93E-06	-	-
4	定電流	パルス幅	-	-	7.40E-05
4		振幅	2.47E-05	7.40E-05	-
4	定電圧	パルス幅	7.40E-05	-	-
4		振幅	2.47E-05	-	-

表 3 C

階調 K	駆動方法	変調方法	シート抵抗の下限 (計算値)		
			$\rho_{s_ctl_min}$ (Ω/\square)	ρ_{s_ctl10} (Ω/\square)	ρ_{s_ctl100} (Ω/\square)
256	定電流	パルス幅	2.3E+11	-	-
256		振幅	2.3E+11	-	-
256	定電圧	パルス幅	-	8.9E+09	8.9E+10
256		振幅	-	3.2E+11	3.2E+12
64	定電流	パルス幅	5.6E+10	-	-
64		振幅	5.6E+10	-	-
64	定電圧	パルス幅	-	8.9E+09	8.9E+10
64		振幅	-	1.3E+11	1.3E+12
16	定電流	パルス幅	1.3E+10	-	-
16		振幅	1.3E+10	-	-
16	定電圧	パルス幅	-	8.9E+09	8.9E+10
16		振幅	-	5.1E+10	5.1E+11
4	定電流	パルス幅	2.7E+09	-	-
4		振幅	2.7E+09	-	-
4	定電圧	パルス幅	-	8.9E+09	8.9E+10
4		振幅	-	1.8E+10	1.8E+11

ギャップ充填部形状から決まる係数 a は、ギャップ幅 D 、電極長さ M を用いて、 $a = D / 2M = 0.010 \text{ mm} / 2 \cdot 46.8 \text{ mm} \doteq 1.07 \times 10^{-4}$ と計算される。

- α -NPDのシート抵抗は、ポリアニリン膜に比べると、2桁以上高いので、
- 5 作製した素子について第1電荷輸送層のシート抵抗を計算する際には、ポリアニリン膜のシート抵抗のみを考えればよい。

表3の駆動条件における必要なシート抵抗を、本発明によって求め、表3に加えて示す。ポリアニリン膜のシート抵抗が、算出された表3のシート抵抗の下限よりも大きい場合が、本発明の実施例となり、小さい場合は比較例となる。

- 10 作製した素子と駆動条件により、実施例、比較例の何れに該当するか分類し、表4に示す。なお、定電圧駆動の場合は $\rho_{s_ctl_min10}$ の値を基準にして判断した。

表4

階調 K	駆動方法	変調方法	ポリアニリン加熱条件			
			A	B	C	D
256	定電流	パルス幅	×	×	×	×
256		振幅	×	×	×	×
256	定電圧	パルス幅	×	×	×	○
256		振幅	×	×	×	×
64	定電流	パルス幅	×	×	×	○
64		振幅	×	×	×	○
64	定電圧	パルス幅	×	×	×	○
64		振幅	×	×	×	×
16	定電流	パルス幅	×	×	×	○
16		振幅	×	×	×	○
16	定電圧	パルス幅	×	×	×	○
16		振幅	×	×	×	○
4	定電流	パルス幅	○	○	×	○
4		振幅	○	○	×	○
4	定電圧	パルス幅	×	×	×	○
4		振幅	×	×	×	○

注) 表中、○が実施例、×が比較例

- 15 作製した素子を、定電流駆動し、第1電極ラインが3ラインおきに点灯(最大階調)、非点灯(最小階調)を繰り返すパターンで点灯し、発光状態を観察した。

発光状態を光学顕微鏡で観察したところ、特にポリアニリン膜のシート抵抗が低い加熱条件Cによる素子で漏電による輝度の低下が見られた。加熱条件Cによる素子の発光状態では、隣接する非点灯の第1電極ラインに電流が漏れ、輝度が低下する様子が確認できた。

- 5 一方、シート抵抗が高い加熱条件Dでは漏電による輝度の低下はほとんど見られなかった。

画素の輝度を、最大階調の一つ下の階調で全点灯(漏電が生じない条件)した場合と、最大階調で第1電極を1ラインごとに点灯(漏電が最も大きくなる条件)した場合と、で測定し比較したところ、表4に示す実施例の条件では、階調の
10 逆転が生じなかった。

上記では、第1電極側の第1電荷輸送層のシート抵抗について述べたが、第2電極側の第2電荷輸送層のシート抵抗についても、同様にして下限値を求めることができる。

- 15 本発明による有機EL素子は、電荷輸送層のシート抵抗を、電極の形状など素子の構造や、駆動条件から導き出される、最適なシート抵抗に設定したため、画素を定電圧駆動する場合、漏電により隣接する画素の電極に流れ込む発光に寄与しない余分な電流の量を抑えることができ、消費電力を抑えることができる。定電流駆動した場合のメリットは表示品位が高くなることである。

- 20 また、複数の素子に共通して電荷輸送層を形成できるので、工程が簡便である。更に、電荷輸送層が全面に完全に形成されるので、陽極-陰極間のショートが生じることが少ない。

以上のように本発明によれば、導電性高分子など、比較的抵抗の低い導電性電荷輸送層を用いて、画素間の漏電の問題が無く、かつ、信頼性や素子性能の高い有機ELディスプレイを簡便な工程で実現できる。

- 25 {電極形状によるギャップ充填部の抵抗}

上記式(2)、式(9)及び式(20)に示した隣接する画素間のギャップ充填部の

抵抗とそのシート抵抗の関係を詳述する。有機EL表示パネルの個々の有機EL素子の形状は複雑であり、ギャップ充填部の形状から求められる係数 a の値は単純には決まらず、個々の画素又は電極形状に合わせてギャップ充填部の抵抗 R_{gap} を計算する必要があるので、係数 a はそれら形状に応じて決定される。

5 (1)単純マトリクスパネルの場合――

図8に示すように、パッシブマトリクス型の有機EL表示パネルの複数の画素は、ギャップ充填部GFを介して並べられた陽極ラインL上に配置される。陽極ラインと他の陽極ラインがどの場所でも等距離(ピッチ)に形成されるので、 R_{gap} はライン間距離Dに比例し、ライン長さMに反比例する。また、点灯画素の陽極ラインの両隣のラインがオフ状態で電位差が大きくなり電流が漏れる場合などの最悪事態を考慮すると、次式のようなになる。

$$R_{gap} = \rho s_{ctl} \cdot D / 2M \quad \text{式(7 3)}$$

(ただし、Dはライン間距離を、Mはライン長さをそれぞれ示す)

よって、上記式(2)に鑑み、ギャップ充填部の形状から求められる係数 a は次式のようなになる。

$$a = D / 2M \quad \text{式(7 4)}$$

(2)アクティブマトリクスパネルの場合――

アクティブマトリクス型の有機EL表示パネルでは複数の画素がそれぞれ独立し、画素(発光部)毎にFET(Field Effect Transistor)及びコンデンサなどからなるTFET(Thin Film Transistor)回路が設けられる。よって、図9に示すように、発光部の表示電極12Dは基板上にギャップ充填部GFを介して敷き詰められるので、 R_{gap} は、例えば矩形とすればその一辺の長さを L_x 、 L_y とし表示電極間距離を D_x 、 D_y とすれば、次式のように近似される。

$$R_{gap} = \rho s_{ctl} / [2 \cdot \{(M_x / D_y) + (M_y / D_x)\}] \quad \text{式(7 5)}$$

よって、上記式(2)に鑑み、ギャップ充填部の形状から求められる係数 a は次式のようなになる。

$$a = D / [2 \cdot \{(M_x / D_y) + (M_y / D_x)\}] \quad \text{式(76)}$$

(3)セグメントディスプレイパネルの場合――

図10に示すように、セグメント型の有機EL表示パネルでは任意形状の画素の複数が基板上にギャップ充填部GFを介して配置されるので、セグメント電極12Sはその周囲各点から他のセグメント電極への距離がまちまちである。

セグメントの周囲長を M_{seg} とし、それを n 分割する。各々の辺から他のセグメントの距離を D_i として、抵抗が計算でき、その並列和が、全体の抵抗 R_{gap} になる。 R_{gap} は、次式のように近似される。実際には、 n を有限の値として計算すればよい。

$$\frac{1}{R_{gap}} = \lim_{n \rightarrow \infty} \frac{M_{seg}}{\rho_{s_ctl} \cdot n} \sum_{i=1}^n \frac{1}{D_i} \quad \text{式(77)}$$

よって、上記式(2)に鑑み、ギャップ充填部の形状から求められる係数 a は次式を満たすように設定する。

$$\frac{1}{a} = \lim_{n \rightarrow \infty} \frac{M_{seg}}{n} \sum_{i=1}^n \frac{1}{D_i} \quad \text{式(78)}$$

{他の実施例}

上記実施例では、ギャップ充填部とともにベタ形成電荷輸送層にポリアニリン膜を素子毎に同一膜厚で形成した単色発光のパネルについて、説明したが、本発明は、多色発光のパネルにも適用できる。ギャップ充填部が共通に成膜されていればよく、素子毎に異なる膜厚で電荷輸送層が形成されていてもよい。

図11に示すように、ガラスなどの透明基板1上のITOなどの第1電極12(陽極)上に、例えば、素子の電荷輸送層として正孔輸送層32R、32G、

3 2 Bを形成するが、例えば、赤緑青RGBの各発光部に対して正孔輸送層の膜厚が異なる、例えば、それぞれ50 nm, 70 nm, 100 nmとなるように成膜する。まず、RGBの各発光領域に成膜すべき膜厚から共通膜厚を差し引いた差分だけ成膜する。すなわち、各発光領域の共通膜厚の50 nmを差し引いた膜厚、20 nm, 50 nmをGB発光領域にそれぞれ成膜する。緑発光部Gに対応する発光領域に正孔輸送層材料を20 nm、青発光部Bには50 nmだけ成膜する。次に、RGB発光領域に共通して50 nmの膜厚となるように同一の正孔輸送層材料を一括して成膜する。このようにしてRGBの各発光領域に対して異なる膜厚の正孔輸送層を形成する。正孔輸送層成膜後、それぞれ発光層3 2 R、3 3 G、3 3 Bを成膜し、共通する電子輸送層2 3を成膜し有機機能層を完成後、例えば金属からなる第2電極(陰極)1 4を有機機能層上に形成することによって有機EL表示パネルを製作することができる。この場合、有機EL素子における電荷輸送層(正孔輸送層)のシート抵抗は共通なギャップ充填部と異なることになり、膜厚が増加した分、そのギャップ充填部より低くなる。

請求の範囲

1. 各々が第1及び第2表示電極並びに前記第1及び第2表示電極間に挟持かつ積層された少なくとも1層の有機化合物からなる発光層を含む有機機能層からなる複数の有機エレクトロルミネッセンス素子と、前記複数の有機エレクトロルミネッセンス素子を担持する基板と、からなる有機エレクトロルミネッセンス表示パネルであって、前記有機機能層群は、前記複数の有機エレクトロルミネッセンス素子に共通して形成され電荷輸送性を有した少なくとも1層の共通層を含み、前記共通層は、前記複数の有機エレクトロルミネッセンス素子の間に延在するギャップ充填部を有することを特徴とする有機エレクトロルミネッセンス表示パネル。
2. 前記ギャップ充填部のシート抵抗 ρs_ctl_min が、式、

$$\rho s_ctl_min \geq (V_on - V_off) / (j \cdot I \cdot a)$$
(ただし、 ρs_ctl_min はシート抵抗 ρs_ctl の下限を、 V_on はオン状態における漏電のない前記有機エレクトロルミネッセンス素子の前記第1及び第2表示電極間電圧を、 V_off は隣接する前記有機エレクトロルミネッセンス素子のオフ状態における前記第1及び第2表示電極間電圧を、 j は0.08以下の輝度差係数を、 I は駆動電流を、 a は前記ギャップ充填部の形状から求められる係数を、それぞれ示す。)を満たす値であることを特徴とする請求項1に記載の有機エレクトロルミネッセンス表示パネル。
3. 前記ギャップ充填部のシート抵抗 ρs_ctl_min が、式、

$$\rho s_ctl_min \geq (V_on(K-1) - V_off) \cdot (K-1) / (I_const \cdot a)$$
(ただし、 ρs_ctl_min はシート抵抗 ρs_ctl の下限を、 K は表示する階調数を、 $V_on(m)$ はオン状態における階調 m ($m \geq 1$ の整数)の時、漏電のない前記有機エレクトロルミネッセンス素子の前記第1及び第2表示電極間電圧を、 V_off

は隣接する前記有機エレクトロルミネッセンス素子のオフ状態における前記第1及び第2表示電極間電圧を、 I_{const} は一定値の駆動電流を、 a は前記ギャップ充填部の形状から求められる係数を、それぞれ示す。)を満たす値であることを特徴とする請求項1に記載の有機エレクトロルミネッセンス表示パネル。

- 5 4. 前記ギャップ充填部のシート抵抗 $\rho s_{\text{ctl_min}}$ が、式、

$$\rho s_{\text{ctl_min}} \geq (V_{\text{on}}(K-1) - V_{\text{off}}) \cdot (K-1) / (a \cdot I(K-1))$$

(ただし、 $\rho s_{\text{ctl_min}}$ はシート抵抗 ρs_{ctl} の下限を、 K は表示する階調数を、 $V_{\text{on}}(n)$ はオン状態、階調 n ($n \geq 1$ の整数) の時、漏電のない前記有機エレクトロルミネッセンス素子の前記第1及び第2表示電極間電圧を、 V_{off} は隣接する前記有機エレクトロルミネッセンス素子のオフ状態における前記第1及び第2表示電極間電圧を、 $I(m)$ は階調 m における前記有機エレクトロルミネッセンス素子に流れる電流を、 a は前記ギャップ充填部の形状から求められる係数を、それぞれ示す。)を満たす値であることを特徴とする請求項1に記載の有機エレクトロルミネッセンス表示パネル。

- 15 5. 前記ギャップ充填部のシート抵抗 ρs_{ctl10} が、式、

$$\rho s_{\text{ctl10}} \geq 10 \cdot (V_{\text{const}} - V_{\text{off}}) / (I(m) \cdot a)$$

(ただし、 ρs_{ctl10} はシート抵抗 ρs_{ctl} の下限を、 V_{const} は一定の駆動電圧を、 V_{off} は隣接する前記有機エレクトロルミネッセンス素子のオフ状態における前記第1及び第2表示電極間電圧を、 $I(m)$ は階調 m ($m \geq 1$ の整数) における前記有機エレクトロルミネッセンス素子に流れる電流を、 a は前記ギャップ充填部の形状から求められる係数を、それぞれ示す。)を満たす値であることを特徴とする請求項1に記載の有機エレクトロルミネッセンス表示パネル。

6. 前記ギャップ充填部のシート抵抗 ρs_{ctl10} が、式、

$$\rho s_{\text{ctl10}} \geq 10 \cdot (V_{\text{on}}(1) - V_{\text{off}}) / (I(1) \cdot a)$$

25 (ただし、 ρs_{ctl10} はシート抵抗 ρs_{ctl} の下限を、 $V(m)$ は階調 m における前記有機エレクトロルミネッセンス素子の駆動電圧を、 V_{off} は隣接する前記有

機エレクトロルミネッセンス素子のオフ状態における前記第1及び第2表示電極間電圧を、 $I(m)$ は階調 m ($m \geq 1$ の整数)における前記有機エレクトロルミネッセンス素子に流れる電流を、 a は前記ギャップ充填部の形状から求められる係数を、それぞれ示す。)を満たす値であることを特徴とする請求項1に記載の

5 有機エレクトロルミネッセンス表示パネル。

1 / 5

FIG. 1

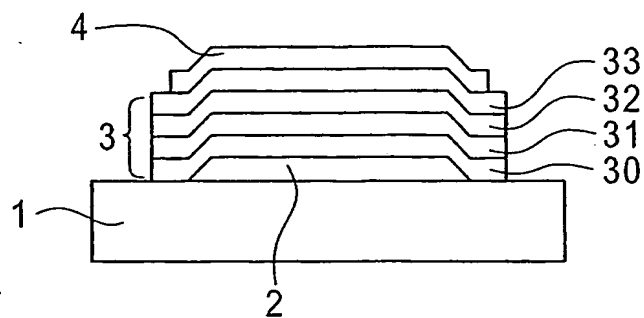


FIG. 2

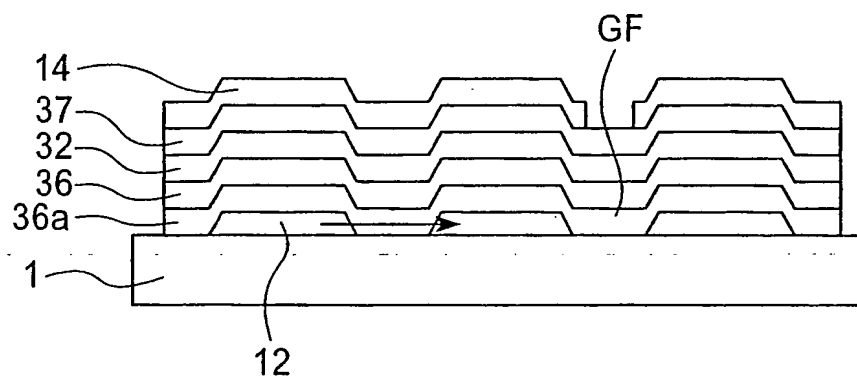
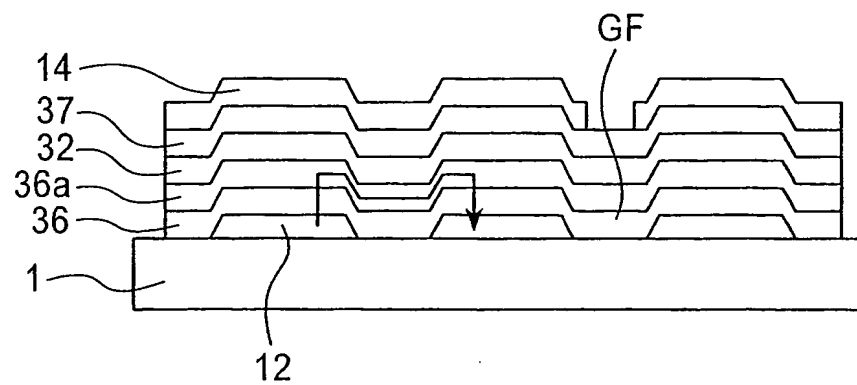


FIG. 3



2/5

FIG. 4

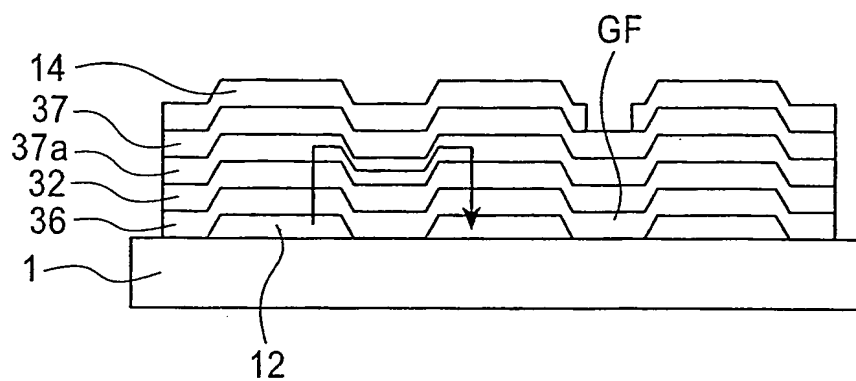


FIG. 5

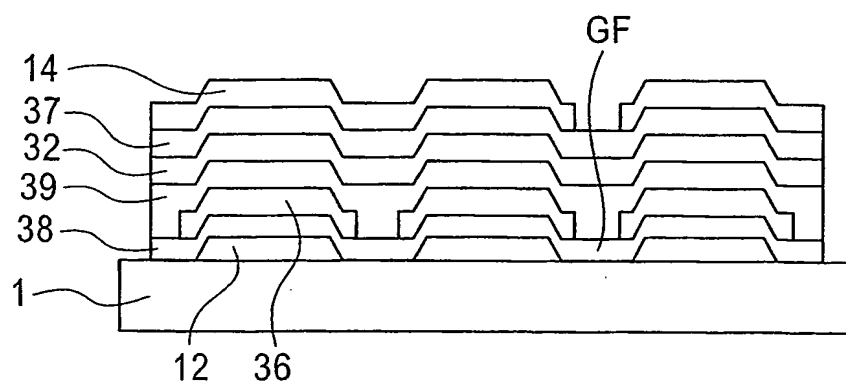


FIG. 6A

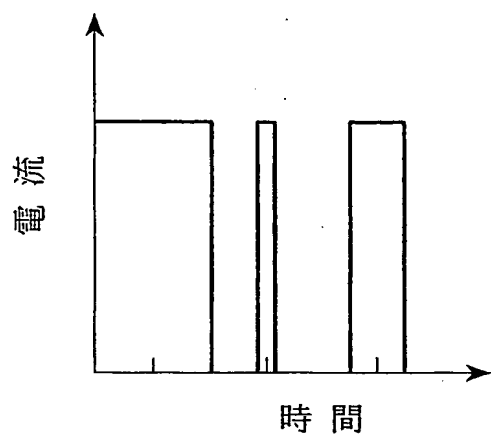


FIG. 6B

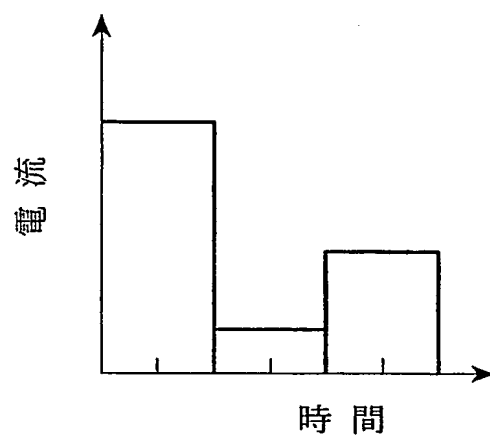


FIG. 7A

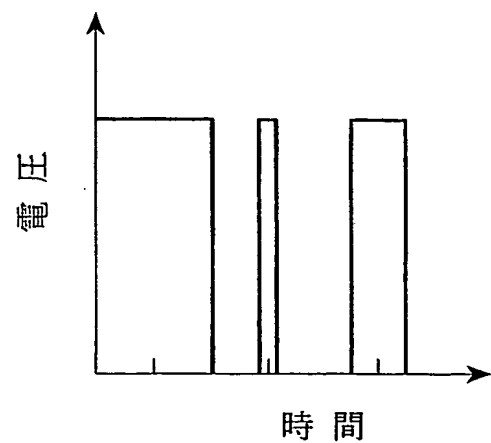
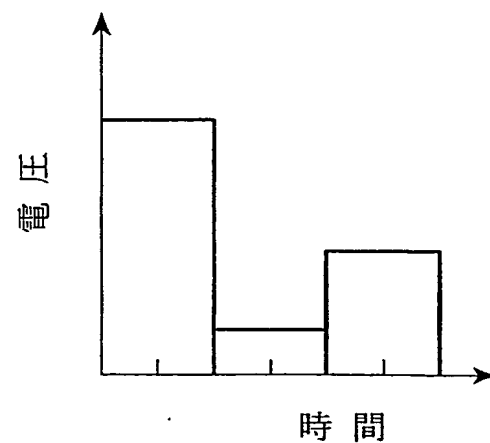


FIG. 7B



4/5

FIG. 8

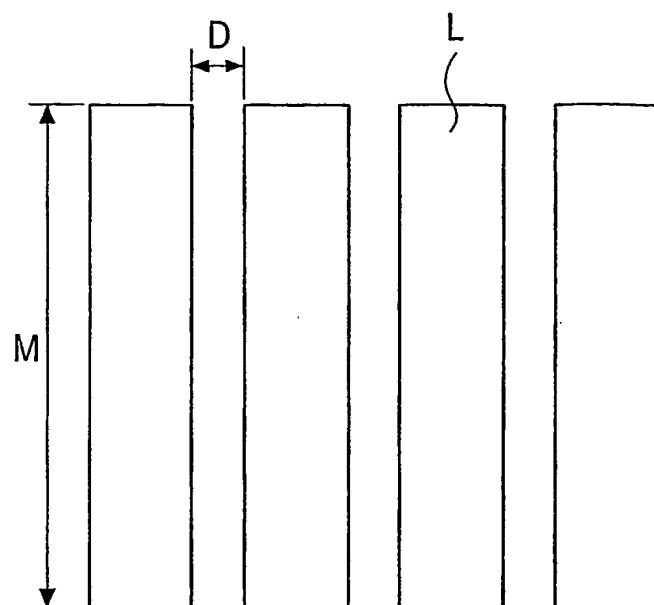
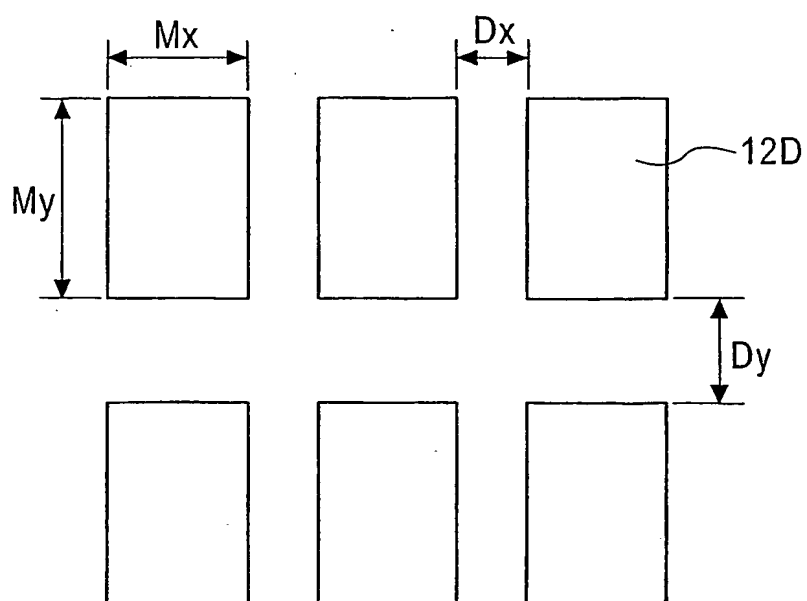


FIG. 9



5/5

FIG. 10

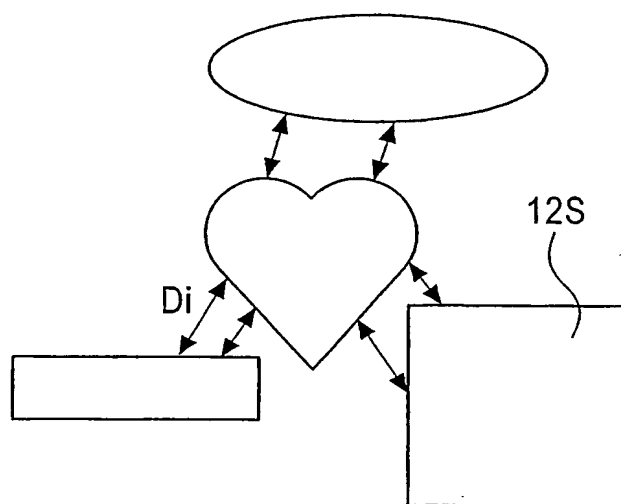
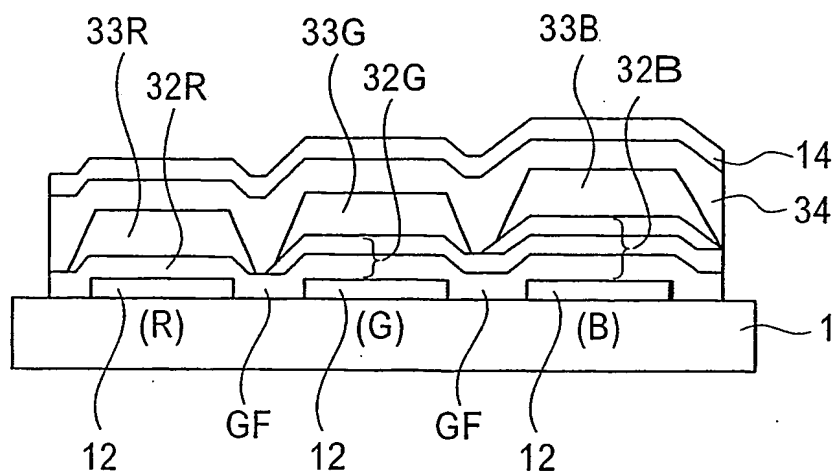


FIG. 11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/015555

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H05B33/14, H05B33/22

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H05B33/00-33/28

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-45665 A (TDK Corp.), 14 February, 2003 (14.02.03), Full text; all drawings (Family: none)	1-6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 February, 2005 (25.02.05)

Date of mailing of the international search report
15 March, 2005 (15.03.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H05B33/14, H05B33/22

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H05B33/00-33/28

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2005年
 日本国実用新案登録公報 1996-2005年
 日本国登録実用新案公報 1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-45665 A (ティーディーケイ株式会社) 2003. 02. 14 全文、全図面 (ファミリー無し)	1-6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

25. 02. 2005

国際調査報告の発送日

15. 3. 2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

森内 正明

2V

3208

電話番号 03-3581-1101 内線 3271